



دانشگاه زنجان

## دانشکده مهندسی

### گروه برق

## پایان نامه کارشناسی

### گرایش: الکترونیک

### عنوان:

### مطالعه و بررسی روش‌های آزمون پذیری تراشه‌های دیجیتال

استاد راهنما: دکتر شهرام محمدی

نگارش: فاطمه احمدزاده

زمستان ۹۵

# پایان نامه کارشناسی

تقدیم به

پدر و مادر

عزیز و بزرگوarم که علیرغم تحمل سختی‌ها و دشواری‌های

فراوان، مسیر پرپیچ و خم کسب و دانش و معرفت را برایم هموار نموده

و از دعای خیرشان بی‌نصیب نبوده‌ام.

و همسر

بزرگوarم که با صبر و شکیبایی خود زمینه مساعد را برای

نگارش این پایان‌نامه فراهم نموده است.

آزمایشگاه پروژه برق

آزمایشگاه پروژه برق

پروژه برق

برق و آشغال زنجان

زنجان و آشغال مندی



## فهرست مطالب

|   |    |
|---|----|
| فصل اول: ..... دانشگاه زنجان، دانشکده مهندسی گروه برق آزمایشگاه پروژه برق   | ۱  |
| تعاریف و مفاهیم اولیه ..... دانشگاه زنجان، دانشکده مهندسی گروه برق آزمایشگاه پروژه برق                              | ۱  |
| انواع تست ..... دانشگاه زنجان، دانشکده مهندسی گروه برق آزمایشگاه پروژه برق  | ۱  |
| فشرده سازی داده های تست ..... دانشگاه زنجان، دانشکده مهندسی گروه برق آزمایشگاه پروژه برق                            | ۳  |
| آزمون پذیر کردن مدارات ..... دانشگاه زنجان، دانشکده مهندسی گروه برق آزمایشگاه پروژه برق                             | ۳  |
| روش های طراحی برای تست ..... دانشگاه زنجان، دانشکده مهندسی گروه برق آزمایشگاه پروژه برق                             | ۳  |
| مدلسازی خطا ..... دانشگاه زنجان، دانشکده مهندسی گروه برق آزمایشگاه پروژه برق  | ۴  |
| پوشش خطا ..... دانشگاه زنجان، دانشکده مهندسی گروه برق آزمایشگاه پروژه برق   | ۴  |
| کاهش خطا ..... دانشگاه زنجان، دانشکده مهندسی گروه برق آزمایشگاه پروژه برق   | ۴  |
| شبیه سازی خطا ..... دانشگاه زنجان، دانشکده مهندسی گروه برق آزمایشگاه پروژه برق                                      | ۵  |
| انواع خطا ..... دانشگاه زنجان، دانشکده مهندسی گروه برق آزمایشگاه پروژه برق  | ۵  |
| کنترل پذیری و مشاهده پذیری ..... دانشگاه زنجان، دانشکده مهندسی گروه برق آزمایشگاه پروژه برق                         | ۷  |
| فصل دوم: ..... دانشگاه زنجان، دانشکده مهندسی گروه برق آزمایشگاه پروژه برق   | ۹  |
| تولید تست برای مدارهای منطقی ..... دانشگاه زنجان، دانشکده مهندسی گروه برق آزمایشگاه پروژه برق                       | ۹  |
| جدول درستی و ماتریس خطا ..... دانشگاه زنجان، دانشکده مهندسی گروه برق  | ۱۰ |
| حساس سازی مسیر ..... دانشگاه زنجان، دانشکده مهندسی گروه برق آزمایشگاه پروژه برق                                     | ۱۴ |
| الگوریتم D ..... دانشگاه زنجان، دانشکده مهندسی گروه برق آزمایشگاه پروژه برق   | ۱۷ |
| تک معب: ..... دانشگاه زنجان، دانشکده مهندسی گروه برق آزمایشگاه پروژه برق  | ۱۷ |
| PODEM ..... دانشگاه زنجان، دانشکده مهندسی گروه برق آزمایشگاه پروژه برق  | ۲۴ |
| FAN ..... دانشگاه زنجان، دانشکده مهندسی گروه برق آزمایشگاه پروژه برق  | ۲۸ |
| فصل سوم: ..... دانشگاه زنجان، دانشکده مهندسی گروه برق آزمایشگاه پروژه برق   | ۳۱ |
| طراحی برای آزمون پذیری ..... دانشگاه زنجان، دانشکده مهندسی گروه برق آزمایشگاه پروژه برق                             | ۳۱ |
| روش های تک کاره یا AD HOC ..... دانشگاه زنجان، دانشکده مهندسی گروه برق آزمایشگاه پروژه برق                          | ۳۱ |
| روش اسکن مسیر برای طراحی مدار ترتیبی آزمون پذیر ..... دانشگاه زنجان، دانشکده مهندسی گروه برق آزمایشگاه پروژه برق    | ۳۷ |
| زنجان، دانشکده مهندسی گروه برق آزمایشگاه پروژه برق ..... دانشگاه زنجان، دانشکده مهندسی گروه برق آزمایشگاه پروژه برق |    |

|  |    |
|--|----|
| روشنی اسکن دسترس‌پذیری تصادفی                              | ۴۰ |
| اسکن جزئی  | ۴۲ |
| طراحی مدار ترتیبی آزمون پذیر با استفاده از روش‌های NONSCAN | ۴۵ |
| بررسی متقابل (CrossCheck)                                  | ۴۷ |
| روش BOUNDARY SCAN  | ۵۰ |
| فصل چهارم:   | ۵۲ |
| روش‌های دستیابی تست استاندارد IEEE                         | ۵۲ |
| اساس boundary scan   | ۵۲ |
| معماری Boundary Scan                                       | ۵۴ |
| پورت دسترسی تست  | ۵۵ |
| ثبات‌های BS-1149.1   | ۵۶ |
| ثبات دستور   | ۵۶ |
| ثبات داده  | ۵۸ |
| ثبات بای پس:   | ۵۸ |
| ثبات شناسایی دستگاه:                                       | ۵۹ |
| ثبات Boundary scan   | ۵۹ |
| ثبات تعریف شده توسط کاربر:                                 | ۶۲ |
| کنترل کننده ی TAP  | ۶۲ |
| حالت Test_Logic_Reset                                      | ۶۵ |
| حالت Run_Test_Idle   | ۶۵ |
| حالت Select_DR_Scan  | ۶۶ |
| حالت Select_IR_Scan  | ۶۶ |
| حالت‌های Capture_IR (Capture_DR)                           | ۶۶ |
| حالت‌های Shift_IR (Shift_DR)                               | ۶۷ |
| حالت‌های Exit1_IR (Exit1_DR)                               | ۶۸ |
| حالت‌های Pause_IR (Pause_DR)                               | ۶۸ |
| حالت‌های Exit2_IR (Exit2_DR)                               | ۶۸ |
| حالت‌های Update_IR (Update_DR)                             | ۶۸ |

|       |                           |    |
|-------|---------------------------|----|
| ..... | واحد دی کدر               | ۶۹ |
| ..... | واحد انتخاب و دیگر واحدها | ۶۹ |
| ..... | دستورات تست Boundary Scan | ۷۰ |
| ..... | دستورات اجباری            | ۷۰ |
| ..... | Bypass                    | ۷۰ |
| ..... | دستور Sample              | ۷۲ |
| ..... | دستور Preload             | ۷۳ |
| ..... | دستور Extest              | ۷۴ |
| ..... | دستور Intest              | ۷۸ |
| ..... | مراجع                     | ۸۱ |

## فصل اول:

### تعاریف و مفاهیم اولیه

در این بخش به تعاریف و مفاهیم اولیه در زمینه آزمایشگاه‌های برق و الکترونیک پرداخته می‌شود. ابتدا به تعاریف اساسی در مورد مدار، ترانزیستور و سایر اجزای مدار پرداخته می‌شود. سپس به مفاهیم اولیه در مورد تست و اندازه‌گیری پرداخته می‌شود. در ادامه به بررسی مفاهیم اولیه در مورد مدارات دیجیتال و میکروکنترلر پرداخته می‌شود. این بخش به گونه‌ای طراحی شده است که به دانشجو کمک کند تا مفاهیم اولیه را درک کند و به مطالعه عمیق‌تر در این زمینه‌ها دست یابد.

هدف از تست مدارات دیجیتال یافتن استراتژی‌ها و روش‌های مناسب و متفاوت بود مدار دارای خطا است. هدف از تست مدارات دیجیتال یافتن استراتژی‌ها و روش‌های مناسب و متفاوت بود مدار دارای خطا است. هدف از تست مدارات دیجیتال یافتن استراتژی‌ها و روش‌های مناسب و متفاوت بود مدار دارای خطا است. هدف از تست مدارات دیجیتال یافتن استراتژی‌ها و روش‌های مناسب و متفاوت بود مدار دارای خطا است. هدف از تست مدارات دیجیتال یافتن استراتژی‌ها و روش‌های مناسب و متفاوت بود مدار دارای خطا است.

### انواع تست

تست خارجی (External test): در این روش از یک وسیله خارجی برای تست عملکرد مدار آزمایشگاه استفاده می‌شود. این وسیله می‌تواند یک تراشه، بورد، کامپیوتر و یا هر وسیله دیگری باشد. تست داخلی (Internal test): در این روش از یک وسیله داخلی برای تست عملکرد مدار آزمایشگاه استفاده می‌شود. این وسیله می‌تواند یک تراشه، بورد، کامپیوتر و یا هر وسیله دیگری باشد.

در این بخش به بررسی مفاهیم اولیه در مورد مدارات دیجیتال و میکروکنترلر پرداخته می‌شود. این بخش به گونه‌ای طراحی شده است که به دانشجو کمک کند تا مفاهیم اولیه را درک کند و به مطالعه عمیق‌تر در این زمینه‌ها دست یابد.

دانشگاه مهندسی گروه برق آزمایشگاه پروژه برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه برق دانشگاه زنجان

**تست داخلی (Internal test):** در این روش وسیله ی تست همراه تجهیز مورد نظر برای تست در یک بسته قرار می گیرند. مدار BIST (Built In Self Test) جزو این دسته مدارات هستند که در آن ها سخت افزار تست که معمولا یک شبه پردازنده (Co Processor) می باشد، همراه با تراشه مورد نظر در یک بسته (Package) قرار می گیرند.

**تست On line:** در این روش، تست تجهیز همزمان با عملکرد آن انجام می گیرد.

**تست Off line:** در این روش قطعه یا تجهیز مورد نظر از عملکرد خود خارج می شود، سپس بررسی صحت عملکرد آن انجام می گیرد. تست Off line می تواند به صورت داخلی یا خارجی باشد.

**تست همزمان:** در این روش داده هایی که هنگام عملکرد عادی قطعه استفاده می شوند برای بررسی صحت عملکرد آن نیز به کار می روند.

**تست ATE:** در این روش مدار به بخش های مختلفی تنظیم می شود، مانند بخش های آنالوگ، دیجیتال، DC یا AC و هر بخش به طور جداگانه تست می شود.

**تست AT-Speed:** در این روش تست مدار یا قطعه در سرعت یا فرکانس نرمال کاری مدار یا قطعه انجام می گیرد. به این روش، روش تست AC نیز گفته می شود.

**تست DC:** در این روش تست قطعه در سرعت هایی کمتر از سرعت عملکرد آن انجام می گیرد.

**تست in-circuit:** در این روش قطعه از مدار برداشته نمی شود و هنگامی که در مدار کار می کند آزموده می شود.

**تست off-circuit:** در این روش ابتدا قطعه از روی مدار برداشته می شود و سپس صحت عملکرد آن بررسی می شود.





لذا مدارات دیجیتال طوری طراحی می شوند که بیشتر آزمون پذیر باشند که این امر به وسیله ی روش

های طراحی برای تست یا DFT (Design For Test) فراهم می شود. روش های DFT باعث افزایش

کنترل پذیری و رؤیت پذیری مدار در مقابل افزایش سطح تراشه به خاطر اضافه کردن مدارات تست می شوند.

روش های DFT برای آزمون پذیری مدارات ترتیبی (sequential) نیز استفاده می شود. برای این منظور

مدل هایی از مدارات ترتیبی استفاده می شوند که روش های تست مدارات ترکیبی نیز به آن ها قابل اعمال

شوند.

### مدلسازی خطا

مدلسازی خطا (Fault Modeling) برای ساده سازی تحلیل مدارات دیجیتال و یافتن بهتر بردارهای

تست و ارزیابی روش های تست استفاده می شود.

### پوشش خطا

پوشش خطا (Fault Coverage) یکی از معیارهای مهم در مقایسه روش ها و الگوریتم های تست

مدارات و سیستم ها است که نشان دهنده ی درصد خطایی است که توسط یک الگوریتم خاصی آشکارسازی

(Detect) شده اند. به عبارت دیگر در یک بردار تست، درصد پوشش خطا، درصد خطاهایی هستند که توسط

آن بردار تست آشکارسازی شده اند.

### کاهش خطا

هدف از کاهش خطا (Fault Reduction) کاهش پیچیدگی و ساده سازی تولید بردارهای تست و

تحلیل مدارات دیجیتال تحت خطا می باشد. این امر به وسیله ی صرف نظر کردن از خطاهایی که اغلب به

ندرت اتفاق می افتند یا اثرات آنها را می توان با خطاهای دیگر مدل کرد به وقوع می پیوندد.

## شبیه سازی خطا

مهم ترین ابزار برای انتخاب روش ها و الگوریتم های تست برای یک مدار دیجیتال استفاده از ابزارهای

شبیه سازی خطا (Fault Simulation) می باشد. دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه برق

در این روش ابتدا یک مدار توسط ابزارهای توصیفی مانند VHDL یا Verilog مدلسازی می شود. سپس سیگنال های

به این مدل یک خطا اضافه می شود. سپس با استفاده از شبیه سازی و محیط های آزمون برای بررسی توانایی

الگوریتم های مختلف در آشکارسازی خطای مورد نظر استفاده می شود. دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه

معمولا شبیه سازی برای بدست آوردن پارامترهای زیر استفاده می شود: دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه

- تعیین درجه پوشش خطای بردارهای آزمون دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه

- محاسبات پوشش خطا برای الگوریتم های استفاده شده دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه

## انواع خطا

زمانی که سیستم یا مدار منطقی از عملکرد عادی و مشخص آن منحرف شود، یک خرابی (failure) در

گروه برق آزمایشگاه مدار اتفاق افتاده است. Fault به یک نقص فیزیکی در مدار اشاره دارد، در حالی که error جلوه ای از fault

است. بنابراین fault می تواند مقدار یک سیگنال در مدار را از ۰ به ۱ یا برعکس تغییر دهد. با این حال یک

fault همیشه منجر به یک error نمی شود، که در آن صورت آن را نهفته در نظر می گیریم. دانشگاه زنجان دانشکده مهندسی گروه برق

در مباحث پیش رو، منظور ما از خطا همان fault می باشد. دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه

تعدادی از انواع خطا را معرفی می کنیم: دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه

برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه

دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه

زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه ۵



## مراجع

- [1] Lala, Parag K. "An introduction to logic circuit testing." Synthesis Lectures on Digital Circuits and Systems 3, no. 1 (2008): 1-100.
- [2] Navabi, Zainalabedin. "Digital system test and testable design." E-ISBN (2011): 97814419-97875485.
- [3] Wang, Laung-Terng, Cheng-Wen Wu, and Xiaoqing Wen. VLSI test principles and architectures: design for testability. Academic Press, 2006.
- [4] Wang, Laung-Terng, Charles E. Stroud, and Nur A. Toubia. System-on-chip test architectures: nanometer design for testability. Morgan Kaufmann, 2010.