

دانشکده مهندسی

رق آن کا دروزورق دانناه زنجان دانند و در از ان کا دروزور و انتخاب داند. مق آن کا دروزورق دانناه زنجان دانند و مندی دوم و آن کا دروزور و انتخاب کاروه برق

پروژه برق دانشگاه زنجان دانشگده مهندسی کروه برق آنهایشگاه پروژه برق دانشگاه زنجان دانشگاه ندسی کروه برق آنها دادان زار می است از منابع از منابع از مانشگاه بروژه برق دانشگاه زنجان دانشگاه مندسی کروه برق آنها پایاننامه کارشناسی

گرایش: الکترونیک

عنوان :

تحلیل و بررسی ترانزیستور های چند گیتی اثر میدان بدون پیوند کروه برق آزمایتگاه پروژه برق دانتگاه زنجان دانتگده مندس کروه برق آ⁰ ایجا

استاد راهنما:

دکتر نیره قبادی دسی کروه برق آزماینگاه پروژه برق دانشگاه زنجان دانشگده مهندسی کروه برق

نگارش: ریحان داشکده مید د

مريم نجفى

دانىڭاە زىجان دائىڭدە مىندى كروەبرق آ زمايىڭاە پروژەبرق دانىڭاە زىجان دائىڭدە مىندى كر**آخىر ٩٤** يىڭاە پروژەبرق دانىڭاە زىجان دائىڭدە مىندى كروەبرق آ زمايىڭاە پروژەبرق دانىڭاە زنجان داشتگده مهندی کروه برق آزمایشگاه پروژه برق دانشگاه زنجان دانشگده مهندسی کروه برق آزمایشگاه پروژه برق دانشگاه زنجان

دانتاه زنجان دانگرد مندی کرومرق آنایگاه پوژمرق دانتاه زنجان دانگرد مندی کرومرق آنایگاه پروژمرق دانتاه زنجان دانگرد مندی کرومرق آنایگاه پوژمرق دانتاه زنجان دانگرد مندی کروم دانگرد مندی کرومرق آنایگاه پروژمرق دانتاه زنجان دانگرد مندی کرومرق آنایگاه پروژمرق دانتاه زنجان دانگره مندی کرومرق آنایگاه پروژمرق دانتاه زنجان دانگرد مندی کرومرق آنایگاه پروژمرق دانتاه زنجان دانگرد مندی کرومرق آنایگاه پروژمرق دانتاه زنجان دانگره مندی کرومرق آنایگاه پروژمرق دانتاه زنجان دانگرد مندی کرومرق آنایگاه پروژمرق دانتاه زنجان دانگرد مندی کرومرق آنایگاه پروژمرق دانتاه زنجان دانگره مندی کرومرق آنایگاه پروژمرق مندی کرومرق آنایگاه پروژمرق دانتاه زنجان دانگرد مندی کرومرق آنایگاه پروژمرق دانتاه زنجان دانگره مندی کرومرق آنایگاه پروژمرق دانتاه زنجان دانگرد مندی کرومرق آنایگاه پروژمرق دانتاه دانتاه دمیندی کرومرق آنایگاه پروژمرق دانتاه دانتاه داشتی کرومرق آنایگاه پروژمرق دانتاه دنجان دانگرده مندی کرومرق آنایگاه پروژمرق دانتاه دنجان دانتاه در آن ایتاه پروژمرق دانتاه در مانتاه دانتاه در مندی کرومرق آنایگاه پروژمرق

كروس الكروس والطوريان ابه پاس الطاف بي دريغ و زحمات بي پايانشان ، الطوريان والكروسي كرو

زنجان والتكده مهندى كروهبرق آزما يتكاه پروژه برق دانتگاه زنجان دانشگده مهندى كروه برق آزمايتگاه پروژه برق دانتگاه زنجان دانشگده مهندى كروه برق آزمايتگاه پروژه برق دانتگاه زنجان

ا تقد *یر و*ق تشکور وژه برق دانشگاه زنجان دانشگده مندی کروه برق آزمایشگاه پروژه برق دانشگاه زنجان دانشگده مندی کروه برق آزمایشگاه پروژو برق دانشگاه زنجان در اینجا لازم است مراتب تشکر و قدردانی خود را از اساتید گرانقدر سرکار خانم دکتر قبادی و جناب آقای دکتر یارقلی وآقای مهندس عسجدی که با راهنمایی های خود کارگشای مشکلات بودند ابراز کرده و آرزوی سلامتی و سرافرازی برای ایشان دارم و از زحمات بی دریغ همسرم ، مهندس علی اصغر مرادلو کمال تشکرو قدردانی را دارم . ورورد الطوریان دارم مربی کرومرن زبایجاد وروم دانطوریان داشده مندی کروورن زنجان داشتگده مهندی کروه برق آ زمایشگاه پروژه برق دانشگاه زنجان دانشگده مهندسی کروه برق آ زمایشگاه پروژه برق از مایشگاه پروژه برق دانشگاه زنجان چکیده ترانزیستورهای بدون پیوند JLT ^۱ مقاومتهای متغییر هستند که توسط الکترود گیت کنترل می شوند. کانال سیلیکونی یک نانوسیم با تغلیظ سنگین است که می تواند به طور کامل تخلیه شود و افزاره را خاموش کند. ویژگیهای الکتریکی برای MOSFET های نرمال یکسان هستند اما از لحاظ فیزیکی کاملا متفاوتند(ظاهر وفیزیک این MOSFET ها کاملا باهم متفاوت است). برخی از چالش های فرآیند برای مقیاس گذاری افزاره های MOSFET می توان با استفاده از افزاره ای که به هیچ پیوندی نیاز ندارد کاهش داد ، این بزرگترین مزیت JLT ها است.برخلاف MOSFET ها، TLT ها دارای ناخالصی شدیدی بوده و در وضعیت خاموش کاملا تخلیه می شوند .

ما در اینجا طراحی های مختلف JLT ها را بررسی خواهیم کرد . این طراحی ها شامل ترانزیستورهای بدون پیوند با گیت سرتاسری که با نام FET نانوسیم و FET شکاف عمودی VESFETشناخته می شود ، می باشد. VESFETیک JLT گیت دوگانه است.پوشش دهی SOI با ضخامت یکسان

کاری دشوار و هزینه بر است به همین خاطر از ساختار افزاره جایگزین به نام BPJLT یعنی مراجع

ترانزیستور بدون پیوند صفحه ای توده ای استفاده میکنیم . علاوه بر این در فصل ۴ روشی برای کاهش مرابزیستور بدون پیوند صفحه ای توده ای استفاده میکنیم .

جریان نشت در وضعیت خاموش را معرفی خواهیم کرد که این روش از طریق استفاده از جداکننده با K دانهوریان داشته سری فروس آرایی روز می اطوریان داشته سری فروس آرایی وروس دانی و می دانی و کند سری فرو

بالا انجام خواهد گرفت . در فصل ۵ نیز عملکرد دمای بالای MOSFET های بدون پیوند سیلیکونی

را بررسي خواهيم كرد .

بان داننگده کم که دومرق آزماینگاه پروژه برق داننگاه زنجان داننگده مهندسی کروه	ف هر من کروه رق آزمایکاه بروژه رق داشته دارند و مندی کروه رق آزمایکاه بروژه رق دانشوز نه ۱ – فصل اول : مقدمه
دار مدسی کردورق زمایی وژوراق دانتگاه زنجان دانتگه به بندسی کرده مرق	بن آنایگاه بوژه برق دانگه انجان مانگه و میزی کرده مقال ما گاه بردژه برق منظره زنجان سرق آنایگاه بروژه برق دانگه انجان مقدمه
<u>مهنه ی کرده برت آنها کی درم دن سروز نجان دانشده مینه ۲</u> ۳ دورق آنها کی	۲ فصل دوم ترانزیستورهای بدون پیوند
کې د دېږې تا پالمې و شوې دانځا نه نول وانځو و و نو کې د و ت ې کې د و تو تو و	بروزورن دانتاه زمجان دا۲ – ۱ – ر مقدّمه
ېرن از دېد کاو پر دوېن د ^{به} کېرونون د ^{به} کېرو مېرن کردوېن ۲ ۳ یا کو پروژوېر ق	رق رای روان ۲۰۲۰ MOSFET های رایج
، شکره	ر المراجع المراجع المرات کانال کوتاه در ترانزیستور مقیاس بندی
مند	زمان داشگره مندی کروه رق آزمایه کاوروره من زیر آستانه
برق دانتگاه زنجان داستد و مهندی گروه برق آزماییگاه بروژه برق دانتگاه زنجان دانشگده	۲-۳-۲ کاهش سطح پتانسیل توسط درین
۴۰. نظاه زنجان دانشگد و سهرسی کردورق آزمایشگاه روژه برق دانشگاه زنجان دانشگده مهند س	۲-۳-۳ مدولاسیون طول کانال
۴۱	۲-۳-۴- اشباع سرعت کروه رق آزماینگاه روژه رق داننگوه زنجان داننگو مندی کرد درمی آزماینگاه روژه رق داننگو زنج
المنظم ومهندسی کروه مرق آزمایسکاه مروژو مرق دانشگاه زنجان دانشگه و چهندسی کروه مرق	۲-۱−۱−۵− مشت اکسید کیت
کند و مندسی کردوری آنهایگاه روژه رق دانشگاه زنجان دانش ه به ندسی کرده رق	۲-۱-۱-۷-۲۰ مست تحلیه توسط کیت
ويريح ومردية والمعرور والتلوذين والكرومية عودية آنابكاه	۲. ۲.انگاروروری دارم ۲−۳−۸- نو سانات اتم های ناخالصی
3. 1. V. V. 89.	رور من رای را ۲-۴- ر ترانزیستور بدون پیوند
ن پيوند ٥٠ لم روزه ري	۲-۴-۱-چگونگی و عملکرد ترانزیستور های بدو
د. این مرد در دانتاه ریمان دانش می کرده از با این کرو درد و انتخاص	۲-۴- پژوهش های انجام شده
۵۹	۲-۵- ترانزیستورهای نانوسیم بدون پیوندها
	4 × × × × × × × × × × × × × × × × × × ×

رجان دانگروست ۳-فصل سلوم ترانزیستور بدون پیوند صفحه ای انباشته است. دانگوریان دانگروست کردوری آن گرو دانگاه زمان
داخگره مهندی کرومرق ۳۲+۴۴- رمقادمه وانظور نیان وانگرده زمین آنها کلم مدینه وانظور نیان وانگرده زمین کرد. مدین آنها کلم مدینه و عماه زنیان دانگرد
مدی کرورن آن کا ۳-۲-۳ ساختان و عملکرد افزاره
کرومرن آرایه روزه ۲۰٫۳-۲۰٫۵ نتایج و مباحث مربوطه۷۱ مربوطه
۴-فصل چهارم ترانزیستور های بدون پیوند با جدا کننده های k بالا۴-فصل چهارم ترانزیستور های vv
۲۰ است ۲۰۰۰ ۲۰۰۰ مقارمه آزمایگاه بروژه برد، دانگاه زمان داشکه و میزی کروه برد، آزمایگاه زمان دانگره میزی کروه برد، آزمایگاه بروژه برد،
۲-۲- ساختار و نحوه عملکرد افزاره
۴-۳- نتایج و مباحث مربوطه۸۲
۵-فصل پنجم عملکرد دمای بالای MOSFET های بدون پیوند سیلیکونی۵۰
دانتگاه زنجان داشکده میزی کروه بری آنایگاه بود. برق دانتگاه زنجان داشکن کروه برق اسکاه بروزه برق دانتگاه دانشگاه ۵-۱-۱ مقدمه. مرد
رجان داسکده سنی کرد ۵-۲- اطراحی قطعه و اندازه گیری ها
داسکوهمندی کردومرن ۵۲۴۴ به نتاییخ و ابکحث اها
مدی کرورن آراع فصل ششم جمع بندی(نتیجه گیری) آسایه می منابع می منابع می منابع می منابع منابع منابع منابع الم و منابع
كرومېن آزمايكا مړونونايع د منځورنون د منگ سيري كر سرتي تر ماد پروزو بر ورزون د ^د مده مده مده مين کرد و
زنجان داننگده مهندی کروه برق آزمایگاه پروژه برق داننگاه زنجان داننگده مهندی کروه برق آزمایگاه پروژه برق داننگاه زنجان داننگاه زنجان داننگاه پروژه برق آزمایگاه پروژه برق داننگاه زنجان ۵

زنجان داننگره مهندی کروه برق آ زمایتگاه پروژه برق داننگاه زنجان داننگره مهندی کروه برق آ زمایتگاه پروژه برق داننگاه زنجان ج

الم بکر ۱۹۰۹ (لف) نبایش شمانیک FET (ب)ناتوسیم TEM و نبودار
$$J$$
 ما با سه گت و طول کانال شکل ۲۹۹۱ (لف) (() سطح مقطع تصویر TEM و نبودار J ما به گرد و طول کانال () ناتومتو نوسط SOD () محکارانش. TEG () مرد مع مقطع تصویر TEM و نبودار J ما بکر و ما را کانی () ما بکر و من این () ما بکر و ما یا کانی () ما بکر و) ما یا کانی () ما بکر و ما یا کانی () کانی ()

دانتگوزنجان داننگره مهندی کروه برق آزمایگاه بروز برق دانتگاه زنجان دانشد **۱** - مصل **اول : مقدمه** دانتگاه زنجان دانتگره مهندی کروه برق آزمایتگاه پروژه برق دانتگاه زنجان داننگده مهندی کروه برق آ زمایتگاه پروژه برق داننگاه زنجان داننگده مهندی کروه برق آزمایتگاه پروژه برق داننگاه زنجان داننگده مهندی کروه برق آ زمایتگاه پروژه برق داننگاه زنجان ۱۲ دانتاه دنجان دانتگذومیدی کردومی آن اینگاه پروشین دانتگذومیدی کردومی آن اینگاه پروشین دانتگذومیدی کردومی آن اینگاه پروشین دانتگ نتجان دانتگذومیدی کردومی آن اینگاه پروشین دانتگذومی دانتگذومیدی کردومی آن اینگاه پروشین دانتگذومیدی کردومی آن اینگاه پروشین دانتگذومیدی کردومی آن اینگاه پروشین دانتگذومین دانت مندی کردومی آن اینگاه پروشین دانتگذومین دانتگذومیدی کردومی آن اینگاه پروشین دانتگذومین ی میندی کردومین آن اینگاه پروشین دانتگذومیدی کردومین آن اینگاه پروشین دانتگذومین کردومین آن اینگاه پروشین دانتگذومین کردومین میندی کردومین آن اینگاه پروشین دانتگذومیدی کردومین آن اینگاه پروشین دانتگذومین کردومین آن اینگاه پروشین دانتگذومین کردومین مین کنگاه پروشین دانتگذومین دانتگذومیدی کردومین آن اینگاه پروشین دانتگذین دانتگذومین کردومین آن اینگاه پروشین دانگذومیدی کردومین پروشین دانتگاه پروشین دانتگذومیدی کردومین آن اینگاه پروشین دانتگذومیدی کردومین آن اینگاه پروشین دانتگذومیدی کردومین مین دانتگاه پروشین دانتگذومیدی کردومین آن اینگاه پروشین دانتگذومیدی کردومین آن اینگاه پروشین دانتگذومین کردومین پروشین دانتگاه پروشین دانتگذومیدی کردومین آن اینگاه پروشین آن اینگاه پروشین دانتگاه پروشین دانتگذومین دانتگذومیدی کردومین آن اینگاه پروشین میندومین دانتگذومیدی کردومین کردومین آن اینگاه پروشین دانتگذومین دانتگذومین دانتگذومین دانتگذومین دانتگذومین دانتگذومین دانتگاه پروشین پروشین دانتگذومین دانتگذومیدی کردومین آن اینگاه پروشین دانتگاه پروشین دانتگذومین دانتگاه پروشین دانتگ در در آن اینگاه پروشین دانتگذومین دانتگذومین دانتگذومین دانتگذومین دانتگ دومین آن اینگاه پروشین

کان ایک می می ترانزیستورهای موجود براساس استفاده از پیوندهای نیمه هادی ها کار میکنند. به خاطرقوانین ایک کار انتشار و طبیعت آماری پخش اتم های آلایش در نیمه هادی ها ،تشکیل پیوند های فرا سطحی با شیب ایک کار ایک ایک تمرکز تغلیظ بالایی دارند تبدیل به یک چالش سخت و فزاینده در صنعت نیمه هادی ها شده اروس آرایک است.

ترانزیستورهای بدون پیوند که مقاومت گیت نیز نامیده می شوند ، شیب های با تمرکز آلایش بالا ندارند.

این افزاره ها دارای قابلیت کامل CMOS^۲ و بااستفاده از نانوسیم های سیلیکونی ساخته شده اند.راه حل

درست کردن مقاومت گیت بدون پیوند JLT تشکیل لایه ای از نیمه هادی است که به اندازه کافی نازک

و باریک است تا اجازه دهد که با خاموش شدن ترانزیستور حامل ها به طور کامل تخلیه شوند .

^r Complementary metal oxide semicondutor

^{*} Junctionless transistor

نیمه هادی به آلایش شدید نیاز دارد تا با روشن شدن ترانزیستور اجازه جاری شدن مقدار کافی جریان را بدهد ،قرار دادن این دو محدودیت باهم استفاده از ابعاد نانومتری و غلظت آلایش بالا را تحمیل می-کاروس آرکند .

قطعات تا زمانی که پیوند درین بایاس معکوس باشد و جلوی جاری شدن هرگونه جریانی را بگیردتا هیچ کانالی بین سورس و درین به وجود نیاید، MOSFET ها معمولا خاموش هستند . برای روشن کردن MOSFET ،ولتاژ گیت افزایش می یابد تا یک کانال وارونه به وجود آید.از طرف دیگر ، JLT اساسا برروی قطعه نرمال است ،جاییکه تفاوت تابع کار بین الکترود گیت و نانوسیم سیلیکانی ولتاژ باند تخت^{*} و ولتاژ آستانه را به مقادیر مثبت انتقال می دهد.

زمانی که افزاره روشن و در شرایط باند تخت است اساسا مانند یک مقاومت رفتار می کند و میدان الکتریکی عمود بر جریان اساسا در کانال مساوی صفر است .



شکل ۱-۱-جریان درین را نشان میدهد که مانند یک تابعی از ولتاژگیت را در سه نوع از MOSFETها ، وارونگی حالت "+N+ N+N " ،انباشنگی حالت "+N N N = " و شدت ناخالصی N+ N+ N+"

زير ولتاژ آستانه ترانزيس آستانه به ولتاژ تخليه حالت انباشته بطور كامل ىتو ر شوند. قطعه زمانی های از ناحيه كانال تخليه نشود . در آن می رسد که ولتاژ گیت گونه ای افزایش یابد که دیگر یک بخش به نقطه ناحیه کانال از لحاظ فنی تا حدی تخلیه می شود . زمانی که ولتاژگیت بیشتر افزایش یابد ولتاژ باند صورت ناحیه کانال خنثی می شود .(به عبارت دیگر، حتی بخشی از ت قابل ت ،در این دم شود) و همینطور افزایش ولتاژ گیت یک کانال انباشتگی سطح میسازد . ناحیه کانال دیگر تخلیه نمی غیر پیوندی تغلیظ یافته زیر ولتاژ آستانه به طور کامل تخلیه میشود .زمانیکه ولتاژ گیت ترانزيستور شود . وقتی که افزايش یابد و ولتاژ آستانه قابل الکترون در کانال افزایش غلظت دىر ىايد تجمع الكترونها در كانال با كانون تغليظN_D مىرسد ناحبه را افزايش بيشتر ولتاژگيت قطر حداكثر ییکه n = N_D است تا زمانی خنثى که کل غلظت قطعه دىگى جت ۵۵ (افز ایش ىە ů افزايش نشود) که در آن نقطه ولتاژ باند تخت قابل از آن تخليه بخشى که 2

بیشتر ولتاژگیت ،کانال انباشتگی را بسازد اما احتمالا مطلوب نیست ،زمانی که غلظت بالای آلایش در کانال در حال حاضر یک جریان بزرگ را تضمین میکند .



شکل ۲-۱-مشخصات الکترون بالاتر از آستانه را درحالت وارونگی مقایسه می کند .سطح مقطع کانال سیلیکونی

10nm × 10nm است.

تچمع الکترونها در مرکز ترانزیستور مساوی غلظت آلایش است .غلظت آلایش ND = 1.17cm است

بطوريکه جريان بدنه کوچک به جريان در لايه تجمع اضافه شده است .زير استانه کانال بدون پيوند، از

الكترونها تخليه مى شود و جريان به صورت نمايي با ولتاژ گيت تغيير مى كند (شكل ١-٣ الف) . درولتاژ

آستانه یک (فیلمان)رشته سیلیکونی خنثی بین سورس و درین تشکیل می شود .(شکل ۱-۳ ج)،سطح

مقطع(فیلمان) رشته افزایش میابد زمانی که ولتاژگیت افزایش یابد تا زمانی که تخلیه تمام شود وقطعه در

شرایط باند تخت باشد(شکل ۱-۳ د) و زمانی که قطعه خاموش باشد (شکل ۱-۳ الف) طول موثر کانال

که در اینجا به عنوان فاصله بین نواحی تخلیه نشده سورس و درین تعریف شده است از یک فاصله

کمتر از طول فیزیکی گیت در مرکز نانوسیم تایک فاصله بزرگتر از طول فیزیکی گیت در نزدیکی حاشیه این اس می می کند . کرد نزدی از اس می کند . مدی کردرن آنایگاه دردرن دانگاه زیان دانگره مندی کردرن آنایگاه دردرن دانگاه زیان دانگره مندی کردرن آنایگاه دردرن دانگاه درخان



 $V_{ds} = 50 \mathrm{mv}$ شکل ۱-۳-نمودار شدت الکترون در ترانزیستور بدون پیوند نوع n برای

زمانیکه ولتاژ گیت به اندازه کافی منفی باشد ،فاصله بین ناحیه های تخلیه نشده سورس و درین میتواند

بزرگتر از طول فیزیکی گیت در سراسر بخشی از قطعه باشد . این کار یک تاثیر قابل توجهی بر روی

ویژگی های کانال کوتاه دارد. در یک قطعه تری گیت حالت معکوس ،بافرض اینکه فاصله بین

پیوندهای سورس ودرین دقیقا مساوی طول فیزیکی گیت باشد (شکل ۱-۴ الف)، حضور پیوندهای

+PN باعث کاهش طول موثر گیت می شود و در نتیجه در کانال کوتاه تاثیر میگذارد. اثر کانال کوتاه

SCE° توسط اسکوت نیکی^۶ و همکارانش اندازه گیری شده است. با استفاده از مدل تبدیل ولتاژ آلایش

[°] Short channel effects

'Skotniki

این اندازه گیری انجام شده است . VDT^۷، میتواند برای تبدیل پارامترهای اثرات انقباض قطعه مانند طول گیت یا ولتاژ درین به پارامترهای الکتریکی استفاده گردد. در مورد خاصی از SCE و کاهش سطح پتانسیل توسط درین DIBL^۸،عبارات زیر را میتوان از مدل 4VDT مشتق گرفت.



شکل ۱-۴- (الف) تصویری از طول موثر حامل در یک افزاره حالت معکوس (ب) ترانزیستور بدون پیوند

جایی که Lel طول موثر کانال الکتریکی است و V_{bi} پتانسیل ساخته شده در درین یا سورس ، t_{ox} ضخامت اکسید گیت ، x_j عمق پیوند درین یا سورس و t_{dep} عمق نفوذ میدان گیت در ناحیه کانال که مساوی با عمق ناحیه تهی در زیر گیت در یک قله MOSFET است .پارامتر EI که ضریب صحت الکترواستاتیک نامیده می شود به شکل هندسی قطعه بستگی دارد.

المسلم براساس عبارات بالا ولتاژ آستانه یک MOSFETبا یک طول کانال L_{el} داده شده، میتواند با استفاده از اسمان اسمان از محاسبه شود .

 $V_{TH} = V_{TH} - SCE - DIBL$

که در آن V_{TH} ولتاژآستانه یک قطعه کانال بلند است ،کاهش ولتاژآستانه با طول گیت کاهش یافته یک

اثر کانال کوتاه است که ولتاژ آستانه نورد خاموش "نامیده می شود

(1-1)

^ Drain inducted barrier lowering

^v Voltage-doping transformation

دانشجويان محترم:

جهت دسترسی به متن کامل پایان نامه ها به کتابخانه دانشکده مهندسی و یا آزمایشگاه پروژه گروه برق مراجعه فرمایید. برن آنایگاه بردند بن دانگاه زنجان دانشده مدیری دوه تر محاطق خصل ششم جمع بندی (نتیجه گیری) دوه بن دانشه زنجان دانشده مدی کرده بن آنایگاه بردزورن دانشاه زنجان دانشده مدی کردورن آنایگاه برد. دن دانشاه زنجان دانشده مدی کردورن آنایگاه بردزورن د زنجان داننگده مهندی کروه برق آ زماینگاه پروژه برق داننگاه زنجان داننگده مهندی کروه برق آ زماینگاه پروژه برق داننگاه زنجان داننگده مهندی کروه برق آ زماینگاه پروژه برق داننگاه زنجان ۱۱۲

با استفاده از نتایج نجربی میتوان گفت از ترکیب پلاسمای جانبی و اکسید گیت،ضخامت نانوسیم ها که ابعادشان به کوچکتر از ۵نانومتر و عرضشان به نانومتر کاهش یافته برای کاشت یون استفاده میشوند. آلایش افزاره ها به شکل یونی +n + , n با یک غلظتی که یک نوع غلظت آلایش LDD میباشد برای تحقق بخشیدن به افزاره های کانال N,P است .

مقیاس گذاری پیوسته تکنولوژی CMOS اکنون به ابعاد و مقیاس اتمی رسیده است تا بتواند نیاز نسل های بعد ،من جمله توان حالت خاموش LSP، توان حالت روشن LOP،و کارایی بالا HP را پاسخگو باشد.

باتوجه به توضیحاتی که در فصل ۲ داده شد ما میتوانیم با استفاده از کانال معکوس شده یا وضعیت های وارونگی به عنوان لایه ای رسانا بین سورس و درین یک جریان بالا ایجاد کنیم که این وضعیت های روشن و خاموش ایجاد شده با یکدیگر باعث میشوند تا MOSFET به عنوان یک سوئیچ عمل کند .ما همینطور در فصل ۲ به تاثیرات LIBL به عنوان یک ویژگی در انتقال به صورت کاهش ولتاژ آستانه اشاره کردیم که با توجه به مشکلاتی که ایجاد میکند میتوانیم روش هایی برای مقابله با اثر LIBL نیز معلوم نیز معیت های اشاره کردیم که با توجه به مشکلاتی که ایجاد میکند میتوانیم روش هایی برای مقابله با اثر LIBL نیز معلوم کنیم .کاهش مقیاس طول کانال ها با توجه به مسائل مطرح شده ،مقیاس ناخالصی در کانال را افزایش میدهد تا رفتار کانال کوتاه افزاره بهبود یابد این کار باعث افزایش تغییرپذیری آن میشود .برای همین افزایش تغییرپذیری آن میشود یک دسته افزایش از کانال کوتاه افزاره بهبود یابد این کار باعث افزایش تغییرپذیری آن میشود .برای همین ولتاز آن میشود میکند میتوانیم روش هایی در کانال را افزایش میدهد تا رفتار کانال کوتاه افزاره بهبود یابد این کار باعث افزایش تغییرپذیری آن میشود .برای همین افزایش تغییرپذیری آن میشود وهمینطور ناخالصی شدید در کانال باعث کاهش میزان تحرک بر اثر پراکنده سازی می نوسانات ناخالصی یک دسته افزاره جایگزین با کانال های ناخالص زدایی شده به منظور رفع مشکل نوسانات ناخالصی پیشنهاد شده است . لایه به شدت نازک سیلیکون بر روی ایزولاتور FIN FETs، ETSOI نمونه ای از این افزاره هستند.

بدلیل چالش هایی که برای مقیاس گذاری افزاره های CMOS وجود داشت از JLT ها استفاده میکنیم. یک نوع ترانزیستور به نام VESFET پیشنهاد شده که به صورن یک JLTگیت دو گانه عمل میکند که در آن دو گیت میتوانند به طور مستقل از هم عمل نماینددر نتیجه طراحی گیت های مستقل به طراحان کمک میکندتا منطق عملکردی مانند AND, OR و... را درک کنند . ما متوجه شده ایم که FET های بدون پیوند SOI صفحه ای نرمال ،دارای مشکلاتی با یکپارچگی الکترواستاتیکی و تغییرپذیری میباشند. به منظور ساده سازی و مقرون به صرفه کردن فرآیند در مقایسه با FETهای بدون پیوند ،ترانزیستور بدون پیوند صفحه ای توده ای BPJLT مطرح شده است .ایزوله سازی پیوند برای ترانزیستور های

بدون پیوند مورد مطالعه قرار گرفته است و این امر میتواند با کاشت یون که در مقایسه با روش های پیشین ارزان تر و ساده تر میباشد ، صورت پذیرد.

ما همچنین در زمینه تاثیر توقف کوانتوم بر رو ی عملکرد JLT تحقیق کرده ایم که اثر توقف کوانتوم بر روی JLT ها در مقایسه با MOSFET های مرسوم کمترین مقدار است . بررسی های ما در این پروژه نشان میدهد ، JLTها انتخاب های بالقوه ای برای کاربردهای توان پایین میباشند.

به عنوان نتیجه میتوان گفت Dvth / Dt در یک IM NMOS نازک و AM PMOSمسطح کوچک است . تغییرات ولتاژ آستانه MOSFET های بدون پیوند بیشتر از دو برابر آنها در AM IM, MOSFET های چند گیتی در رسیدن آنها به ارزش های مشابه MOSFET، Mush حجیم

دانىڭدەمىندى كروە مايىت ي

کروم برق آنها گناه بروزوم و دانتگاه زنبان دانتگه مندی کروم آرار ماه بروزم و منطق و مانت که دوم قرآنها گناه بروزم ق دانتگاه زنبان دانتگه و مدیری کروم برق آنها گناه بروزوم و دانتگاه زنبان دانتگه مندی کروم تر آنها گاه مدیری دانتگه دنبان دانتگه مدوم ق آنها گاه بروزم ق دانتگاه زنبان دانتگه و مدیری کروم آنها گناه بروزوم ق دانتگاه زنبان دانتگه مندی که دوم ق آنها گاه مدیری دانتگه دنبان دانتگه مدیری آنها گاه در دانت آنها گناه بروزوم ق دانتگاه زنبان دانتگه و مدیری کروم ق آنها گاه مدیری دانتگه در بان مناکز و مدین یک دوم ق آنها گاه بروزوم ق دانتگاه در مدیری کروم ق آنها گروم ق آنها در بان داشته و مدیری که دوم ق آنها گاه در بان دانتگه و مدیری که دوم ق آنها بروزوم ق دانتگاه در مدیری کروم ق آنها گروم ق آنها در بان داشته و مدیری که دوم ق آنها گاه در بان داشته و مدیری که دوم ق بروزوم ق دانتگاه زنبان دانتگه و مدیری کروم ق آنها گروم ق آنتها مدوم ق دانتگاه در مدین که دوم ق آنها گاه در بان داشته و مدیری که دوم ق بروزوم ق دانتگاه زنبان داشته و مدیری کروم ق آنها گروم ق آنتها گرون داشته و مدیری که دوم ق آنها زنبان داشته و مدین که دوم ق آنها گروم ق بروزوم ق دانتگاه زنبان داشته و مدیری کروم ق آنها گروم و مدین که دوم ق آنها گرون داشته و مدیری که دوم ق آنها زنبان داشته و مدیری آنها گروم و آنها گروم و آنها گروم و آنها گروم و آنها در بان دانتگاه مود بری دانتگه و مدیری آنها گروم ق آنها گرون دانته در بان داشته و مدیری آنها گروم و آنها زنبان داشته و مدیری که دوم ق آنها گروم و آنها گرو دانته در مدیری دانتگه و مدیری که دوم ق آنها گروم و آنها گرون داشته و مدیری که دوم ق آنها گروم و آن گاه دوم و آنها زنبان داشته و مدوم ق در دانته در مدیری که دوم و آنه در مدین دانتگه و در مدیری که دوم ق آنها گروم و در مدیری دانتگه و مدیری دانتگه و در مدیری که دوم ق آنها گروم و در آنه در مدیری که دوم ق آنه در مدیری دانتگاه در مدیری دانتگه و در مدیری که دوم ق دانته در مدیری که دوم ق آنه در مدیری دانتگه و در مدیری که دوم ق آنه در مدین دانتگه و در مدیری که دوم ق آنه در مدی که دوم ق آنه در م دانتی دانتگه و مدیری که دوم ق آنه در مدین دانتگه و مدیری آنه در مدی و در قان دانتگه و مدیری که در مدیری که دوم ق آنه در مدین مدیری دانت

- 1] Lee, C.W., Afzalian, A., Dehdashti Akhavan, N., Yan, R., et al.: Junctionless multigate fieldeffect transistor. Appl. Phys. Lett. 94, 053511 (2009)
- [2] Colinge, J.P., Lee, C.W., Ferain, I., Dehdashti Akhavan, N., et al.: Reduced electric field in junctionless transistors. Appl. Phys. Lett. 96, 073510 (2010)
- [3] Colinge, J.P., Lee, C.W., Afzalian, A., Dehdashti Akhavan, N., et al.: Nanowire transistors without junctions. Nat. Nanotechnol. 5, 225 (2010)
- [4] Xiong, S., Bokor, J.: Sensitivity of Double-Gate and FinFET Devices to Process Variations. IEEE Trans. Electron Devices 50, 2255 (2003)
- [5] Jacoboni, C., Canali, C., Ottaviani, G., Quaranta, A.A.: A review of some charge transport properties of silicon. Solid State Electron 20, 77 (1977)
- [6] Thompson, S.E., Armstrong, M., Auth, C., Buchler, M., et al.: A 90-nm logic technology featuring strained-silicon. IEEE Trans. Electron Devices 50, 1790 (2004)
- [7] Skotnicki, T., Merckel, G., Pedron, T.: The voltage-doping transformation: a new approach to the modeling of MOSFET short-channel effects. IEEE Electron Device Lett. 9, 109 (1988)
- [8] G. E. Moore, "Crammingmore components on to integrated circuits," Electronics, vol. 38,no. 8, 1965.
- [9] J.-P. Colinge, C.-W. Lee, A. Afzalian, N. D. Akhavan, R. Yan, I. Ferain, P. Razavi,
 B. O'Neill, A. Blake, M. White, A.-M. Kelleher, B. McCarthy, and R. Murphy, "Nanowire transistors without junctions," Na t u re Na n o t ech n o l og y, vol. 5, no. 3, pp. 225–229, 2010.
- [10] R.R.Troutman, "VLSI limitations from drain-induced barrier lowering," Jo u r n a l o f S o l i d S t a t e Ci rcu i t s, IE E E, vol. 14, no. 2, pp. 383 –1, Apr. 1979.
- [11] K. K. Bhuwalka, "VLSI limitations from drain-induced barrier lowering," P h D Th es i s, U n i vers i t y o f t h e G er m a n Fed era l A r m ed Fo rces Mu n i ch, cpt. 1,2, pp. 1-42, Jan. 2006.
- [12] Y. Taur, T. H. Ning, "Fundamentals of Modern VLSI Devices" Ca m b r i d ge U n i vers i t y P res s ., 1998.
- [13] R.S.Muller, T.I. Kamins and M. Chan,, "Device Electronics for Integrated Circuits, Third Edition," Jo h n Wi l ey a n d S o n s , In c., 2003.
- [14] J. Rabaey, "Digital Integrated Circuits: A Design Perspective," P ren t i ce H a 11 In d i a, 1997.
- [15] R.R.Troutman, "Simple model for threshold voltage in a short-channel IGFET," Tra n s a ct i o n s o n E l ect ro n D evi ces, IE E E, vol. 24, no. 10, pp. 1266 –8, 1977.
- [16] E. Takeda, "Hot-carrier effects in sub-micrometer MOS VLSIs," IE E P ro ceed i n g s, vol. 131, no. 5, pp. 153–62, 1984.
- [17] M. Garrigues and B. Balland, "Hot carrier injection into SiO2," Instabilities insilicon devices: Silicon passivation and related instabilities, vol. 1, pp. 441–502, 1986.
- [18]] A. Kottantharayil, "Low voltage hot-carrier issues in deep sub-micron MOSFETs" P h D Thesis, University of the German Federal Armed Forces Munich, cpt. 2, pp. 6-20, Jan.2002.
- [19] J. E. Lilienfeld, "Method and apparatus for controlling electric current," US Patent, no.1745175, 1925.
- [20] B. Soree, W. Magnus, and G. Pourtois, "Analytical and self-consistent quantum mechanical model for a surrounding gate MOS nanowire operated in JFET mode," Journal of Computational Electronics, vol. 7, pp. 380–383, 2008.
- [21] C.-W. Lee, A. Afzalian, N. D. Akhavan, R. Yan, I. Ferain, and J.-P. Colinge, "Junctionless multigate field-effect transistor," Applied Physics Letters, vol. 94, no. 5, pp. 053 511–053 512, 2009
- [22] . B. Soree and W. Magnus, "Silicon nanowire pinch-off FET: basic operation and analytical model," in 10th International Conference on Ultimate Integration on Silicon, 2009, pp.245 248.
- [23] A. Kranti, C.-W. Lee, I. Ferain, R. Yu, N. D. Akhavan, P. Razavi, and J. Colinge, "Junctionless nanowire
- transistor: Properties and design guidelines," in 34 th European SolidState Device Research Conference, IEEE, Aug. 2010, pp. 357–360.
- [24] S. Gundapaneni, S. Ganguly, and A. Kottantharayil, "Bulk planar junctionless transistor (BPJLT): An attractive device alternative for scaling," Electron Device Letters, IEEE, vol. 32, no. 3, pp. 261–263, 2011.

- [25] S.-J. Choi, D.-I. Moon, S. Kim, J. Duarte, and Y.-K. Choi, "Sensitivity of threshold voltage to nanowire width variation in junctionless transistors," Electron Device Letters, IEEE, vol. 32, no. 2, pp. 125 –127, 2011.
- [26] C.-J. Su, T.-I. Tsai, Y.-L. Liou, Z.-M. Lin, H.-C. Lin, and T.-S. Chao, "Gate-all-around junctionless transistors with heavily doped polysilicon nanowire channels," Electron Device Letters, IEEE, vol. 32, no. 4, pp. 521 – 523, 2011.
- [27] M. Weis, A. Pfit zn er, D. K as p row i cz, R. E m l i n g, T. Fi s ch er, S. Henzler, W. Maly, and D. Schmitt-Landsiedel, "Stacked 3-dimensional 6T SRAM cell with independent double gate transistors," in IEEE International Conference on IC Design and Technology (ICICDT), 2009, pp. 169 172.
- [28] J. Colinge, C. Lee, A. Afzalian, N. Dehdashti, R. Yan, I. Ferain, P. Razavi, B. O'Neill, A. Blake, M. White, A. Kelleher, B. McCarthy, and R. Murphy, "SOI gated resistor: CMOS without junctions," in SOI Conference, IEEE International, 2009, pp. 1–2.
- [29] R. Rios, A. Cappellani, M. Armstrong, A. Budrevich, H. Gomez, R. Pai, N. Rahhal-orabi, and K. Kuhn, "Comparison of junctionless and conventional trigate transistors with L g down to 26 nm," Electron Device Letters, IEEE, vol. 32, no. 9, pp. 1170 –1172, 2011.
- [30] D. D. Zhao, T. Nishimura, C. H. Lee, K. Nagashio, K. Kita, and A. Toriumi, "Junctionless ge p-channel metaloxide-semiconductor field-effect transistors fabricated on ultrathin ge-on-insulator substrate," Applied Physics Express, vol. 4, no. 3, pp. 031 302–031 304, 2011
- [31] S.-J. Choi, D.-I. Moon, S. Kim, J.-H. Ahn, J.-S. Lee, J.-Y. Kim, and Y.-K. Choi, "Nonvolatile memory by allaround-gate junctionless transistor composed of silicon nanowire on bulk substrate," Electron Device Letters, IEEE, vol. 32, no. 5, pp. 602 –604, 2011.
- [32] Y. Sun, H. Yu, N. Singh, K. Leong, E. Gnani, G. Baccarani, G. Lo, and D. Kwong, "Vertical-Si-nanowirebased nonvolatile memory devices with improved performance and reduced process complexity," Electron Devices, IEEE Transactions on, vol. 58, no. 5, pp. 1329 –1335, 2011.
- [33] Y. Sun, H. Y. Yu, N. Singh, K. C. Leong, G. Q. Lo, and D. L. Kwong, "Junctionless vertical-Si-nanowirechannel-based SONOS memory with 2-bit storage per cell," Electron Device Letters, IEEE, vol. 32, no. 6, pp. 725 –727, 2011.
- [34] H. T. Lue, E. K. Lai, Y. H. Hsiao, S. P. Hong, M. T. Wu, F. H. Hsu, N. Z. Lien, S. Y. Wang, L. W. Yang, T. Yang, K. C. Chen, K. Y. Hsieh, R. Liu, and C. Y. Lu, "A novel junctionfree BE-SONOS NAND Flash," in Technical Digest of VLSI Technology Symposium, Jun. 2008, pp. 140–141.
- [35] J. K i m, A. J. H o n g, S. M. K i m, E. B. So n g, J. H. Park, J. H an, S. Choi, D. Jang, J. T. Moon, and K. L. Wang, "Novel vertical-stacked-array transistor (VSAT) for ultra-highdensity and cost-effective NAND Flash memory devices and SSD (solid state drive)," in Tech n i ca l D i ges t o f V LS I Tech n o l og y S ym p o s i u m, Jun. 2009, pp. 186–187.
- [36] H. Tanaka, M. Kido, K. Yahashi, M. Oomura, R. Katsumata, M. Kito, Y. Fukuzumi, M. Sato, Y. Nagata, Y. Matsuoka, Y. Iwata, H. Aochi, and A. Nitayama, "Bit cost scalable technology with punch and plug process for ultra high density Flash memory," in Technical Digest of VLSI Technology Symposium, Jun. 2007, pp. 14–15.
- [37] Y. Fukuzumi, R. Katsumata, M. Kito, M. Kido, M. Sato, H. Tanaka, Y. Nagata, Y. Matsuoka, Y. Iwata, H. Aochi, and A. Nitayama, "Optimal integration and characteristics of vertical array devices for ultra-high density, bit-cost scalable Flash memory," in Technical Digest of the International Electron Devices Meeting, Dec. 2007, pp. 449–452.
- [38] Y. Komori, M. Kido, M. Kito, R. Katsumata, Y. Fukuzumi, H. Tanaka, Y. Nagata, M. Ishiduki, H. Aochi, and A. Nitayama, "Disturbless Flash memory due to high boost efficiency on BiCS structure and optimal memory film stack for ultra high density storage device" in Technical Digest of the International Electron Devices Meeting, Dec. 2008, pp.
 - 851-854
- [39] A. Kranti, C. Lee, I. Ferain, R. Yan, N. Akhavan, P. Razavi, R. Yu, G. A. Armstrong, and J. Colinge, "Junctionless 6T SRAM cell," IET Electronics Letters, vol. 46, no. 22, pp. 1491–1493, 2010.
- [40] C.-W. Lee, A. Borne, I. Ferain, A. Afzalian, R. Yan, N. Dehdashti Akhavan, P. Razavi, and J.-P. Colinge, "High temperature performance of silicon junctionless MOSFETs," Electron Devices, IEEE Transactions on, vol. 57, no. 3, pp. 620 –625, 2010.
- [41] J.-P. Raskin, J.-P. Colinge, I. Ferain, A. Kranti, C.-W. Lee, N. Akhavan, R. Yan, P. Razavi, and R. Yu, "Mobility improvement in nanowire junctionless transistors by uniaxial strain," Applied Physics Letters, vol. 97, no. 4, pp. 042 114 – 042 116, 2010.
- [42] N. Dehdashti Akhavan, I. Ferain, P. Razavi, R. Yu, and J.-P. Colinge, "Improvement of carrier ballisticity in junctionless nanowire transistors," Applied Physics Letters, vol. 98, no. 10, pp. 103 510–103 512, 2011.
- [43] D. Sel s, B. So re, an d G. G ro es en eken, "Q u an t u m b al l i s t ic transport in the junctionless nanowire pinch-off field effect transistor," Jo u r n a l o f Co m p u t a t i o n a l E l ect ro n i cs, pp. 1–6, 2011.

- [44] J.S. Cho, K. R. Kim, B.-G. Park, and I. M. Kang, "RF performance and small-signal parameter extraction of junctionless silicon nanowire MOSFETs," E l ect ro n D evi ces, IE EE Transactions on, vol. 58, no. 5, pp. 1388–1396, 2011.
- [45] P. Razavi, G. Fagas, I. Ferain, N. Akhavan, R. Yu, and J. Colinge, "Performance investigation of short-channel junctionless multigate transistors," in Ultimate Integration on Silicon(ULIS), 2011 12th International Conference on, Mar. 2011, pp. 1–3.
- [46] J.-P. Colinge, C.-W. Lee, I. Ferain, N. Akhavan, R. Yan, P. Razavi, R. Yu, A. Nazarov, and R. Doria, "Reduced electric field in junctionless transistors," Applied Physics Letters, vol. 96, no. 7, pp. 073 510 – 073 512, 2010.
- [47] C.-W. Lee, A. N. Nazarov, I. Ferain, N. D. Akhavan, R. Yan, P. Razavi, R. Yu, R. T. Doria, and J.-P. Colinge, "Low subthreshold slope in junctionless multigate transistors," Applied Physics Letters, vol. 96, no. 10, pp. 102 106-102 109, 2010.
- [48] C.W. Lee, I. Ferain, A. Kranti, N. Dehdashti Akhavan, P. Razavi, R. Yan, R. Yu, B. ONeill, A. Blake, M. White, A.M. Kelleher, B. McCarthy, S. Gheorghe, R. Murphy, J.P. Colinge, "Short-Channel Junctionless Nanowire Transistors," in Solid State Devices and Materials (SSDM), 2010, pp. 1044–1045.
- [49] S. Gundapaneni, S. Ganguly, and A. Kottantharayil, "Enhanced electrostatic integrity of short channel junctionless transistor with high- κ spacers," Electron Device Letters, IEEE, vol. 32, no. 10, pp. 1325 – 1327, 2011.
- [50] "Sentaurus Device User Guide, http://www.synopsys.com."
- [51] H. G. Virani, A. R. B. Rao, and A. Kottantharayil, "Dual-k spacer device architectures for the improvement of performance of hetero structure n-channel tunnel FETs," Electron Devices, IEEE Transactions on, vol. 57, no. 10, pp. 2410–2417, 2010.
- [52] S. Marni, "Investigation of Junctionless Transistors," M.Tech Thesis, Department of electrical engineering, IIT Bombay, 2012.
- [53] C. -H. Tai, J. -T. L in, Y. -C. E n g, and P. -H. L in, "A n ovel high-performance junctionless vertical MOSFET produced on bulk-Si wafer," in 2010 10th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT), IEEE, Nov. 2010, pp. 108–110.
- [54] A. B. Sachid, R. Francis, M. S. Baghini, D. K. Sharma, K.-H. Bach, R. Mahnkopf, and V. R. Rao, "Sub-20 nm gate length FinFET design: Can high- κ spacers make a difference?" in Technical Digest of the International Electron Devices Meeting, Dec. 2008, pp. 697–700.
- [55] H. G. Virani and A. Kottantharayil, "Optimization of hetero junction n-channel tunnel FET with high-k spacers," in International Workshop on Electron Devices and Semiconductor Technology (IEDST), Jun. 2009.
- [56] International Technology Road map for Semiconductor, 2008. [Online]. Available: http://public.itrs.net
- [57] C.-W. Lee, A. Afzalian, N. Dehdashti Akhavan, R. Yan, I. Ferain, and J. P. Colinge, "Junctionless multigate field-effect transistor," Appl. Phys. Lett., vol. 94, no. 5, p. 053 511, Feb. 2009.
- [58] G. Groeseneken, J. P. Colinge, H. E Maes, J. C. Alderman, and S. Holt, "Temperature dependence of threshold voltage in thin-film SOI MOSFETs," IEEE Electron Device Lett., vol. 11, no. 8, pp. 329–331, Aug. 1990.
- [59] K. Akarvardar, A. Mercha, E. Simoen, V. Subramanian, C. Claeys, P. Gentil, and S. Cristoloveanu, "Hightemperature performance of stateof-the-art triple-gate transistors," Microelectron. Reliab., vol. 47, no. 12, pp. 2065–2069, Dec. 2007.
- [60] J. P. Colinge, Silicon-on-Insulator Technology: Materials to VLSI.New York: Springer, 2004.
- [61] P. Aminzadeh, M. Alavi, and D. Scharfetter, "Temperature dependence of substrate current and hot carrierinduced degradation at low drain bias," in VLSI Symp. Tech. Dig., 1998, pp. 178–179.
- [62] D. S. Jeon and D. E. Burk, "MOSFET inversion layer motilities—A physically based semi-empirical model for
- a wide temperature range," IEEE Trans. Electron Devices, vol. 36, no. 8, pp. 1456–1463, Aug. 1989.
 [63] G. Ghibaudo, "New method for the extraction of MOSFET parameters," IEEE Electron. Lett., vol. 24, no. 9, pp. 543–545, Apr. 1988.
- [64] S. A. Parke, J. E. Moon, C. Wann, P. K. Ko, and C. Hu, "Design for suppression of gate-induced drain leakage in LDD MOSFETs using a quasi-two-dimensional analytical model," IEEE Trans. Electron Devices, vol. 39, no. 7, pp. 1694–1703, Jul. 1992.
- [65] T. Hamamoto, S. Sugiura, and S. Sawada, "On the retention time distribution of dynamic random access memory (DRAM)," IEEE Trans. Electron Devices, vol. 45, no. 6, pp. 1300–1309, Jun. 1998.
- [66] D. Rideau, A. Dray, F. Gilibert, F. Agut, L. Giguerre, G. Gouget, M. Minondo, and A. Juge, "Characterization and modeling of low electric field gate-induced-drain-leakage [MOSFET]," in Proc. ICMTS, 2004, pp. 149– 154.
- [67] S. M. Sze, Physics of Semiconductor Devices, 2nd ed. New York: Wiley, 1981, p. 28.